

Docket No.: 60188-689

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Yoshihide KOMATSU	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: November 6, 2003	:	Examiner:
	:	
For: CURRENT DRIVER CIRCUIT	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

Japanese Patent Application No. JP 2003-039375, filed February 18, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MODERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: November 6, 2003

60188-689
Yoshihide KOMATSU
November 6, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月18日

出 願 番 号

Application Number:

特願2003-039375

[ST.10/C]:

[JP 2003-039375]

出 願 人

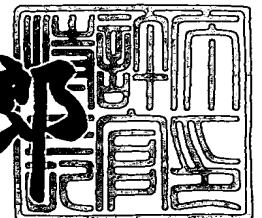
Applicant(s):

松下電器産業株式会社

2003年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040877

【書類名】 特許願

【整理番号】 2037640143

【提出日】 平成15年 2月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 25/02

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 小松 義英

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電流ドライバ回路

【特許請求の範囲】

【請求項 1】 伝送線路対の間に接続された終端抵抗に電流を流すことにより前記伝送線路対を駆動する電流ドライバ回路であって、

電源電位レベルに接続された電流源トランジスタを有し且つ前記伝送線路対に結合された電流ドライバと、

前記電流源トランジスタの出力側に結合され且つ前記伝送線路対のコモンモード電位に応じて前記電流ドライバの出力電流を補正する電流補正回路とを備えていることを特徴とする電流ドライバ回路。

【請求項 2】 前記電流補正回路は、前記電流源トランジスタに接続された電源電位レベルと前記コモンモード電位との差が所定値よりも小さくなったときに前記出力電流の補正を開始することを特徴とする請求項 1 に記載の電流ドライバ回路。

【請求項 3】 前記電流補正回路は、前記電流源トランジスタが非飽和領域に入った場合における前記出力電流の減少分だけ電流を増大させることを特徴とする請求項 1 に記載の電流ドライバ回路。

【請求項 4】 前記電流補正回路は、

前記電源電位レベルとグラウンドレベルとの間に互いに直列に接続された複数の抵抗と、

前記複数の抵抗の端子電位と前記コモンモード電位とを比較するためのコンパレータと、

前記コンパレータに入力される前記コモンモード電位と前記端子電位との大小関係が反転することにより活性化される負荷トランジスタと、

前記負荷トランジスタを流れる電流に比例した電流を前記電流ドライバに供給するミラートランジスタとを備えていることを特徴とする請求項 1 に記載の電流ドライバ回路。

【請求項 5】 前記電流補正回路は、前記電源電位レベルと前記グラウンドレベルとの間に設けられ且つ前記複数の抵抗と直列に接続されたトランジスタを更に

備えていることを特徴とする請求項 4 に記載の電流ドライバ回路。

【請求項 6】 前記コンパレータは、ゲートに前記コモンモード電位が入力される第 1 の nMOS トランジスタと、ゲートに前記端子電位が入力される第 2 の nMOS トランジスタと、前記第 1 及び前記第 2 の nMOS トランジスタのそれぞれに一端が接続された第 1 の電流源とを備え、

前記負荷トランジスタは、第 2 の電流源トランジスタが並列に接続され且つ一端が前記第 1 の nMOS トランジスタに接続された pMOS トランジスタから構成され、

前記第 1 の nMOS トランジスタのソースとゲートとの間の電位差を V_{gs} と、前記第 1 の nMOS トランジスタのしきい値電圧を V_t と、前記第 1 の nMOS トランジスタのチャネル幅及びチャネル長などにより定まる定数を β と、前記第 2 の電流源を流れる電流を I と、前記負荷トランジスタのドレイン電流に対する前記ミラートランジスタのドレイン電流のミラー比を α とした場合、

前記ミラートランジスタから前記電流ドライバに供給される電流は、 $\{\beta \times (V_{gs} - V_t)^2 - I\} \times \alpha$ であることを特徴とする請求項 4 に記載の電流ドライバ回路。

【請求項 7】 前記電流補正回路を前記電流ドライバから切り離す切り替えスイッチを更に備えていることを特徴とする請求項 1 に記載の電流ドライバ回路。

【請求項 8】 伝送線路対の間に接続された終端抵抗に電流を流すことにより前記伝送線路対を駆動する電流ドライバ回路であって、

前記伝送線路対に流れる電流を制御するための複数のスイッチ回路を有する電流ドライバと、

前記伝送線路対のコモンモード電位の変化に応じて前記複数のスイッチ回路の動作を段階的に制御する電流補正回路とを備えていることを特徴とする電流ドライバ回路。

【請求項 9】 前記電流補正回路は、電源電位レベルと前記コモンモード電位との差が小さくなるにしたがって前記複数のスイッチ回路を段階的に動作させることを特徴とする請求項 8 に記載の電流ドライバ回路。

【請求項 10】 前記電流補正回路は、前記複数のスイッチ回路を構成するス

スイッチ素子のうちの活性化されるスイッチ素子の合計トランジスタサイズが、前記コモンモード電位と前記電源電位レベルとの差に対して非線形に変化するように、前記複数のスイッチ回路を段階的に動作させることを特徴とする請求項 8 に記載の電流ドライバ。

【請求項 1 1】 前記複数のスイッチ回路のうちの所定のスイッチ回路は、該所定のスイッチ回路を構成するスイッチ素子と前記伝送線路対の一方との間に、直列に接続された抵抗を備えていることを特徴とする請求項 8 に記載の電流ドライバ回路。

【請求項 1 2】 前記複数のスイッチ回路を構成するスイッチ素子は MOS トランジスタからなり、且つ該 MOS トランジスタのゲートは所定の抵抗を介してグラウンドレベルに接続されていることを特徴とする請求項 8 に記載の電流ドライバ回路。

【請求項 1 3】 前記複数のスイッチ回路を構成するスイッチ素子は、微細化された MOS トランジスタから構成されていることを特徴とする請求項 8 に記載の電流ドライバ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高速差動伝送する電流ドライバ回路に関する。

【0002】

【従来の技術】

近年、デジタル放送用テレビ及び DVD 機器などの民生機器の急速な普及に伴い、データを高速に伝送する必要性が高まっている。このため、現在、IEEE 1394 及び Serial-ATA 等の高速シリアルデータインターフェース方式の規格が市場に多く採用されている。これらの高速シリアルデータインターフェース技術においては、LSI 内部のデータを電流ドライバ回路により高速差動送信すると共に、LSI 外部から送られてくる高速データに対しても、伝送線路対（ツイストペアケーブル）を介して LSI 内部のレシーバ回路で差動受信する。

【0003】

このような差動伝送においては、伝送線路対を用いて長距離伝送を行なうため、殆どの場合において、入出力部にはアナログ回路が用いられると共に、アナログ回路には3.3V系のCMOS (complementary metal oxide semiconductor) トランジスタが使用される。3.3V系のCMOSトランジスタは、ESD (Electrostatic discharge) などの外部からの影響からデバイスを保護する意味でも使用せざるを得ない。また、差動伝送を行なう際にはその差動信号の中間電位であるコモンモード電位を決定する必要がある。ところが、送信側と受信側とに互いに異なるコモンモード電位が設定されている場合、相互に必ず電位差が発生するため、どちらかに電流が流れ込むことになる。このため、通常は、送信側でそのコモンモード電位を決定するか、もしくは受信側でコモンモードを決定するかのいずれかになる。したがって、コモンモード電位は通常固定ではなく、一定の幅を持たせてあることが多い。

【0004】

図8は従来の差動伝送を行なう電流ドライバ回路を示す構成図である（例えば特許文献1及び特許文献2参照）

図8に示すように、電流ドライバ回路1は、電源電位レベル V_{dd}' に接続されたpMOS電流源トランジスタ2と、グランドレベル V_{ss}' に接続されたnMOS電流源トランジスタ3と、pMOS電流源トランジスタ2とnMOS電流源トランジスタ3との間に接続された4つのスイッチ素子からなるスイッチ回路4とを備えている。スイッチ回路4には2本の直列回路からなる終端抵抗 R' を有する伝送線路対 TP' / NTP' が接続されている。

【0005】

従来の電流ドライバ回路1によると、pMOS電流源トランジスタ2から流れる電流は、スイッチ回路4を介して伝送線路対 TP' / NTP' の間に接続された終端抵抗 R' を流れると共に、再度スイッチ回路4を介してnMOS電流源トランジスタ3に引き込まれる。この際、伝送線路対 TP' / NTP' の終端抵抗 R' に電流が流れることによりコモンモード電位 V_{cm}' を中心電位とした振幅が

発生する。電流ドライバ回路 1 は、これにより発生した振幅により、すなわち終端抵抗 R' に流れる電流の向きにより、出力 “1” あるいは出力 “0” を伝送する。

【0006】

【特許文献 1】

米国特許第 5418478 号明細書

【特許文献 2】

米国特許第 5694060 号明細書

【0007】

【発明が解決しようとする課題】

しかしながら、例えば IEEE 1394 などの規格においては、コモンモード電位が 0.5 V から 2.5 V 程度まで変化するため、電源電位レベル V_{dd}' を例えば 2.7 V まで下げた場合、電源電位レベル V_{dd}' とコモンモード電位 V_{cm}' との差が 0.2 V になってしまうことがある。このような場合、電流ドライバ回路 1 の pMOS 電流源トランジスタ 2 がどうしても非飽和領域に入ってしまうため、電源電位レベル V_{dd}' を下げるのには限界がある。また、コモンモード電位 V_{cm}' が高いため、pMOS 電流源トランジスタ 2 の両端にかかる電圧が、ゲート電圧からしきい値電圧を差し引いた電圧よりも小さい値になった場合、pMOS 電流源トランジスタ 2 を飽和領域に到達させることはトランジスタのサイズ上でも設計上困難になる。

【0008】

前記に鑑み、本発明は、差動伝送する電流ドライバ回路において、コモンモード電位が幅広い範囲の電位（ワイドレンジ）に変化しても高速差動伝送できるようにすることを目的とする。

【0009】

【課題を解決するための手段】

本発明の第 1 の電流ドライバ回路は、伝送線路対の間に接続された終端抵抗に電流を流すことにより伝送線路対を駆動する電流ドライバ回路であって、電源電位レベルに接続された電流源トランジスタを有し且つ伝送線路対に結合された電

流ドライバと、電流源トランジスタの出力側に結合され且つ伝送線路対のコモンモード電位に応じて電流ドライバの出力電流を補正する電流補正回路とを備えていることを特徴とする電流ドライバ回路である。

【 0 0 1 0 】

第 1 の電流ドライバ回路によると、電源電位レベルに接続された電流源トランジスタの出力側に電流補正回路が結合されていると共に、電流補正回路は伝送線路対のコモンモード電位の変化に応じて電流ドライバの出力電流を補正するように設定されている。このため、コモンモード電位が高いために電流源トランジスタが非飽和領域に入った場合であっても、言い換えると、電流ドライバの出力電流が減少した場合であっても、電流補正回路から電流ドライバに電流を供給することができるため、出力電流を適量に補正することができる。したがって、電源電位レベルが低い低電圧動作であっても安定した差動信号を出力することができるので、コモンモード電位がワイドレンジに変化しても高速差動伝送することができる電流ドライバ回路を実現することができる。

【 0 0 1 1 】

第 1 の電流ドライバ回路において、電流補正回路は、コモンモード電位と電源電位レベルとの差が所定値よりも小さくなったときに出力電流の補正を開始することが好ましい。

【 0 0 1 2 】

このようにすると、電流補正回路が電流ドライバにする出力電流の補正を、該出力電流の補正が必要になったタイミングで開始することができる。

【 0 0 1 3 】

第 1 の電流ドライバ回路において、電流補正回路は、電流源トランジスタが非飽和領域に入った場合における出力電流の減少分だけ電流を増大させることが好ましい。

【 0 0 1 4 】

このようにすると、出力電流が減少した分だけ電流補正回路から電流ドライバに電流が供給されるため、出力電流を電流源トランジスタが飽和領域で動作しているときの出力電流まで増大させることができる。

【 0 0 1 5 】

第1の電流ドライバ回路において、電流補正回路は、電源電位レベルとグランドレベルとの間に互いに直列に接続された複数の抵抗と、複数の抵抗の端子電位とコモンモード電位とを比較するためのコンパレータと、コンパレータに入力されるコモンモード電位と端子電位との大小関係が反転することにより活性化される負荷トランジスタと、負荷トランジスタを流れる電流に比例した電流を電流ドライバに供給するミラートランジスタとを備えていることが好ましい。

【 0 0 1 6 】

このようにすると、電流補正回路に備えられたコンパレータにより、複数の抵抗により定められた所定の端子電位とコモンモード電位とが比較される。コンパレータは、入力された端子電位とコモンモード電位との大小関係が反転したときに、コンパレータに接続された負荷トランジスタを活性化させるように設定されている。活性化された負荷トランジスタにはミラートランジスタが備えられているため、負荷トランジスタを流れる電流に比例した電流がミラートランジスタを流れることになる。このため、ミラートランジスタを流れる電流を電流ドライバに供給すれば、電流ドライバの出力電流を補正することができる。また、コンパレータにより、コモンモード電位と比較される端子電位を任意に定めることができる。このため、電流源トランジスタが非飽和領域に入るときのコモンモード電位と同じ大きさの端子電位に設定すれば、電流源トランジスタが非飽和領域に入っているときには常に電流補正回路から電流ドライバに電流が供給されることになる。

【 0 0 1 7 】

この場合、電流補正回路は、電源電位レベルとグランドレベルとの間に設けられ且つ複数の抵抗と直列に接続されたトランジスタを更に備えていることが好ましい。

【 0 0 1 8 】

このようにすると、複数の抵抗を流れる電流が、電源電位レベル又はグランドレベルの変動により変化しにくくなる。このため、複数の抵抗だけを直列に接続していた場合に比べて端子電位をより安定化させることができる。したがって、

電流ドライバの出力電流をより正確に補正することができる。

【0019】

更に、コンパレータは、ゲートにコモンモード電位が入力される第1のnMOSトランジスタと、ゲートに端子電位が入力される第2のnMOSトランジスタと、第1及び第2のnMOSトランジスタのそれぞれに一端が接続された第1の電流源とを備え、負荷トランジスタは、第2の電流源トランジスタが並列に接続され且つ一端が第1のnMOSトランジスタに接続されたpMOSトランジスタから構成され、第1のnMOSトランジスタのソースとゲートとの間の電位差を V_{gs} と、第1のnMOSトランジスタのしきい値電圧を V_t と、第1のnMOSトランジスタのチャネル幅及びチャネル長などにより定まる定数を β と、第2の電流源を流れる電流を I と、負荷トランジスタのドレイン電流に対するミラートランジスタのドレイン電流のミラー比を α とした場合、ミラートランジスタから電流ドライバに供給される電流は、 $\{\beta \times (V_{gs} - V_t)^2 - I\} \times \alpha$ であることが好ましい。

【0020】

このようにすると、第1のnMOSトランジスタのゲートに入力されるコモンモード電位と第2のnMOSトランジスタのゲートに入力される所定の端子電位との大小関係が反転することにより、第2の電流源が接続されているため完全にOffになっていた負荷トランジスタをOnにすることができる。このとき、負荷トランジスタのドレイン電流は、第1のnMOSトランジスタのドレイン電流から第2の電流源を流れる電流を差し引いた量になる。すなわち、MOSトランジスタのドレイン電流が2乗則に乗っ取るとすれば、負荷トランジスタのドレイン電流は、 $\{\beta \times (V_{gs} - V_t)^2 - I\}$ になる。このため、一定のミラー比 α で構成されたミラートランジスタには、負荷トランジスタのドレイン電流の α 倍のドレイン電流が流れるので、ミラートランジスタのドレイン電流、すなわちミラートランジスタから電流ドライバに供給される電流は $\{\beta \times (V_{gs} - V_t)^2 - I\} \times \alpha$ となる。したがって、適切なミラー比 α 、定数 β を決定すれば、コモンモード電位の変動により $(V_{gs} - V_t)$ の値が変化した場合であっても、その際に変化した電流量の α 倍の電流を適切なタイミングで電流ドライバに供給する

ことができるので、電流ドライバの出力電流を適量に補正することができる。

【 0 0 2 1 】

第 1 の電流ドライバ回路において、電流補正回路を電流ドライバから切り離す切り替えスイッチを更に備えていることが好ましい。

【 0 0 2 2 】

このようにすると、コモンモード電位の変化を用いて通信を行なう伝送方法を、本電流ドライバ回路においても実施することができる。すなわち、電流補正回路が電流ドライバにする出力電流の補正はコモンモード電位の変化に応じてなされるため、前記伝送方法を実施する際には電流補正回路が障害になることになるが、その際に電流補正回路を電流ドライバから切り離す切り替えスイッチを更に備えていれば、電流補正回路が障害になることなく前記伝送方法を行なうことができる。

【 0 0 2 3 】

本発明の第 2 の電流ドライバ回路は、伝送線路対の間に接続された終端抵抗に電流を流すことにより伝送線路対を駆動する電流ドライバ回路であって、伝送線路対に流れる電流を制御するための複数のスイッチ回路を有する電流ドライバと、伝送線路対のコモンモード電位の変化に応じて複数のスイッチ回路の動作を段階的に制御する電流補正回路とを備えていることを特徴とする電流ドライバ回路である。

【 0 0 2 4 】

第 2 の電流ドライバ回路によると、電流ドライバに複数のスイッチ回路が並列に設けられていると共に、コモンモード電位の変化に応じて複数のスイッチ回路の動作を段階的に制御する電流補正回路が備えられている。このため、電流ドライバに設けられ且つ伝送線路対を駆動するための電流を供給する電流源トランジスタにかかる電圧が、コモンモード電位の変化に応じて低くなる場合であっても、並列に接続された複数のスイッチ回路の動作が電流補正回路により段階的に制御されるため、電流ドライバの出力電流を適量に補正することができる。言い換えると、複数のスイッチ回路が段階的に活性化されていくにしたがって、活性化されたスイッチ回路を構成するスイッチ素子の合計トランジスタサイズをもまた

段階的に大きくなるため、電流源トランジスタが非飽和領域に入った際に不足する電流を補うことができる。これにより、電流ドライバの出力電流を補正することができる。したがって、電源電位レベルが低い低電圧動作であっても、安定した差動信号を出力することができるため、コモンモード電位がワイドレンジに変化しても高速差動伝送することのできる電流ドライバ回路を実現することができる。また、電流源トランジスタにかかる電圧が十分大きい場合は、活性化されるスイッチ回路を少なくすることができるため、活性化されたスイッチ回路を構成するスイッチ素子の合計トランジスタサイズを小さくすることができる。その結果、スイッチングノイズを低減させることができる。

【0025】

第2の電流ドライバ回路において、電流補正回路は、電源電位レベルとコモンモード電位との差が小さくなるにしたがって複数のスイッチ回路を段階的に動作させることが好ましい。

【0026】

このようにすると、コモンモード電位が高くなるにしたがって活性化されるスイッチ回路の数が多くなるので、前述の効果が確実に得られる。

【0027】

第2の電流ドライバ回路において、電流補正回路は、複数のスイッチ回路を構成するスイッチ素子のうちの活性化されるスイッチ素子の合計トランジスタサイズが、コモンモード電位と電源電位レベルとの差に対して非線形に変化するように、複数のスイッチ回路を段階的に動作させることが好ましい。

【0028】

このようにすると、電流ドライバに設けるスイッチ回路の数を減らすことができる。なぜならば、電流ドライバに設けられ且つ伝送線路対を駆動するための電流を供給する電流源トランジスタが非飽和領域に入っている場合には、その電流源トランジスタを流れる電流がコモンモード電位と電源電位レベルとの差に対して非線形に変化するためである。したがって、活性化されるスイッチ回路を構成するスイッチ素子のうちの活性化されたスイッチ素子の合計トランジスタサイズも同様に非線形に変化させれば出力電流を的確に補正することができる。これに

より、過剰にスイッチ回路を設けることを避けることができる。

【 0 0 2 9 】

第2の電流ドライバ回路において、複数のスイッチ回路のうちの所定のスイッチ回路は、該所定のスイッチ回路を構成するスイッチ素子と伝送線路対の一方との間に、直列に接続された抵抗を備えていることが好ましい。

【 0 0 3 0 】

このようにすると、抵抗が備えられた所定のスイッチ回路が活性化されたとき、伝送線路対に接続された終端抵抗が、所定のスイッチ回路に備えられた抵抗と並列になるため、全体的な抵抗値を下げるることができる。これにより、電流を供給するための電流源トランジスタにかかる電圧を高くすることができるので、該電流源トランジスタが非飽和領域に入った場合であっても飽和領域に戻すことが可能になる。

【 0 0 3 1 】

第2の電流ドライバ回路において、複数のスイッチ回路を構成するスイッチ素子はMOSトランジスタからなり、且つ該MOSトランジスタのゲートは所定の抵抗を介してグラウンドレベルに接続されていることが好ましい。

【 0 0 3 2 】

このようにすると、複数のスイッチ回路を構成するMOSトランジスタ（スイッチ素子）の各ゲートが抵抗を介してグラウンドレベルに接続されるため、スイッチ素子はその大きさによりノイズの発生源になることを回避することができる。また、スイッチ素子のゲートに信号を入力するために接続された配線が長くなる場合には、周波数と位相との関係から入力信号が反射する弊害があるため、前記のように抵抗を介したグラウンドレベルに接続することにより、その弊害を低減させることができる。

【 0 0 3 3 】

第2の電流ドライバ回路において、複数のスイッチ回路を構成するスイッチ素子は、微細化されたMOSトランジスタから構成されていることが好ましい。

【 0 0 3 4 】

このようにすると、複数のスイッチ回路を構成するMOSトランジスタ（スイ

タッチ素子)が微細化されているため、該MOSトランジスタのゲートからリーク電流が流れる。このため、そのリーク電流のパスを仮想的な抵抗の代わりにすることができる。このため、前述のノイズ及び反射の弊害を低減させることができる。

【0035】

【発明の実施の形態】

(第1の実施形態)

以下、第1の実施形態に係る電流ドライバ回路について図面を参照しながら説明する。

【0036】

図1は、第1の実施形態に係る電流ドライバ回路、具体的には電流ドライバと電流補正回路とを備えた電流ドライバ回路を示す回路図である。

【0037】

図1に示すように、電流ドライバ回路100は、電流ドライバ101と電流補正回路102とを備えている。

【0038】

電流ドライバ101は、電源電位レベル V_{dd} に接続されたpMOS電流源トランジスタ103と、グラウンドレベル V_{ss} に接続されたnMOS電流源トランジスタ104と、スイッチ回路105とを備えている。スイッチ回路105は、それぞれ例えばpMOSトランジスタからなる第1のスイッチ素子105aと第2のスイッチ素子105bと、それぞれ例えばnMOSトランジスタからなる第3のスイッチ素子105cと第4のスイッチ素子105dとからなる。第1のスイッチ素子105aと第3のスイッチ素子105cとの間、及び第2のスイッチ素子105bと第4のスイッチ素子105dとの間には伝送線路対TP/NTPが一方ずつ接続されていると共に、伝送線路対TP/NTPには2本の第1の終端抵抗 R_1 の直列回路が接続されている。 V_{cm} は、伝送線路対TP/NTPのコモンモード電位を表している。

【0039】

また、電流補正回路102は、第1のコンパレータ106と、負荷トランジス

タ 1 0 7 と、ミラートランジスタ 1 0 8 とを備えている。第 1 のコンパレータ 1 0 6 は、グランドレベル V_{ss} に接続された第 1 の電流源 1 0 9 と、ソースが第 1 の電流源 1 0 9 に接続された第 1 の nMOS トランジスタ 1 1 0 と、ソースが第 1 の電流源 1 0 9 に接続され且つドレインが電源電位レベル V_{dd} に接続された第 2 の nMOS トランジスタ 1 1 1 とを備えている。負荷トランジスタ 1 0 7 は、ソースが電源電位レベル V_{dd} 及び第 2 の電流源 1 1 2 の入力側のそれぞれに接続され、且つドレインが第 1 の nMOS トランジスタ 1 1 0 のドレイン及び第 2 の電流源 1 1 2 の出力側のそれぞれに接続された pMOS トランジスタからなる。ミラートランジスタ 1 0 8 は、ソースが電源電位レベル V_{dd} に接続され、ゲートが負荷トランジスタ 1 0 7 のゲート及びドレインのそれぞれに接続され、且つドレインが電流ドライバ 1 0 1 の pMOS 電流源トランジスタ 1 0 3 のドレイン側に接続された pMOS トランジスタからなる。 V_{gs1} は第 1 の nMOS トランジスタ 1 1 0 のソースとゲートとの間の電位差を、 V_{gs2} は第 2 の nMOS トランジスタ 1 1 1 のソースとゲートとの間の電位差を、 I は第 2 の電流源 1 1 2 を流れる電流を表している。

【 0 0 4 0 】

第 1 の実施形態によると、電流ドライバ 1 0 1 の pMOS 電流源トランジスタ 1 0 3 から供給される電流は、スイッチ回路 1 0 5 を介して伝送線路対 TP/NTP の間に接続された第 1 の終端抵抗 R_1 に流れると共に、再度スイッチ回路 1 0 5 を介して nMOS 電流源トランジスタ 1 0 4 に引き込まれる。その結果、第 1 の終端抵抗 R_1 の両端（伝送線路対 TP/NTP の間）に電位差が発生する。これにより一定の振幅を有する信号が出力される。このとき、コモンモード電位 V_{cm} は、電流ドライバ回路 1 0 0 を含む LSI 内部のノードにより発生させる場合は一定の電位に保たれるのに対して、LSI 外部のノードにより発生させる場合においては幅広い範囲（ワイドレンジ）で変動する。コモンモード電位 V_{cm} が電源電位レベル V_{dd} の方向に変動すると、pMOS 電流源トランジスタ 1 0 3 にかかる電圧が低くなるため、pMOS 電流源トランジスタ 1 0 3 が非飽和領域に入る。このため、pMOS 電流源トランジスタ 1 0 3 を通して供給される出力電流が減少する。ところが、本実施形態によると、pMOS 電流源トランジスタ 1

03 が非飽和領域に入ると同時に電流補正回路 102 が動作を開始する。その結果、電流ドライバ 101 の出力電流が適量に補正される。

【0041】

以下、電流補正回路 102 の動作について詳しく説明する。

【0042】

電流補正回路 102 の第 1 のコンパレータ 106 を構成する第 1 の nMOS トランジスタ 110 のゲートにはコモンモード電位 V_{cm} が入力されていると共に、第 2 の nMOS トランジスタ 111 のゲートには所定の第 1 の参照電位 V_{ref1} が入力されている。第 1 のコンパレータ 106 は、二つの電位を比較した結果を負荷トランジスタ 107 のゲートに出力することにより、負荷トランジスタ 107 を制御している。具体的には、コモンモード電位 V_{cm} と電源電位レベル V_{dd} との電位差が一定値よりも小さくなったときにコモンモード電位 V_{cm} と第 1 の参照電位 V_{ref1} との大小関係が反転するように設定されているため、反転した際に、第 2 の電流源 112 により完全に Off になっていた負荷トランジスタ 107 が On になる。このため、負荷トランジスタ 107 に備えられたミラートランジスタ 108 も同時に On にすることができる。ミラートランジスタ 108 には、負荷トランジスタ 107 のドレイン電流に対する一定のミラー比 α のドレイン電流が流れると共に、このドレイン電流が電流ドライバ 101 の pMOS 電流源トランジスタ 103 のドレイン側に供給される。尚、負荷トランジスタ 107 及びミラートランジスタ 108 のしきい値電圧は互いに等しく設定されている。

【0043】

したがって、コモンモード電位 V_{cm} が電源電位レベル V_{dd} に近づくことにより pMOS 電流源トランジスタ 103 が非飽和領域に入ったとしても、電流補正回路 102 が動作を開始するため、電流ドライバ 101 の出力電流を適量に補正することができる。具体的には、第 1 の nMOS トランジスタ 110 と第 2 の nMOS トランジスタ 111 とがそれぞれ等しく構成されていたとすると、第 1 の nMOS トランジスタ 110 のドレイン電流は $\beta \times (V_{gs1} - V_t)^2$ に、また第 2 の nMOS トランジスタ 111 のドレイン電流は $\beta \times (V_{gs2} - V_t)^2$ になる。ただし、 β は第 1 の nMOS トランジスタ 110 及び第 2 の nMOS トラン

ジスタ 1 1 1 のチャネル幅及びチャネル長などにより定まる定数を、 V_t は第 1 の nMOS トランジスタ 1 1 0 及び第 2 の nMOS トランジスタ 1 1 1 のしきい値電圧を表す。このため、第 1 の電流源 1 0 9 には $\beta \times \{ (V_{gs1} - V_t)^2 + (V_{gs2} - V_t)^2 \}$ の電流が流れる。また、負荷トランジスタ 1 0 7 のドレイン電流は $\{ \beta \times (V_{gs1} - V_t)^2 - I \}$ になる。このため、ミラートランジスタ 1 0 8 のドレイン電流は、その α 倍の $\{ \beta \times (V_{gs1} - V_t)^2 - I \} \times \alpha$ になる。実際に使用した値を用いると、具体的には V_{gs2} を $\{ V_{dd} - (26/30) \times V_{dd} \}$ とした場合、第 1 の電流源 1 0 9 に流れる電流を $60 \mu A$ と、第 2 の電流源 1 1 2 に流れる電流を $2 \mu A$ とすると、負荷トランジスタ 1 0 7 のドレイン電流が $\{ \beta \times (V_{gs1} - V_t)^2 - 2 \mu A \}$ になるため、ミラートランジスタ 1 0 8 のドレイン電流は $\{ \beta \times (V_{gs1} - V_t)^2 - 2 \mu A \} \times \alpha$ になる。すなわち、これだけの電流が電流ドライバ 1 0 1 の pMOS 電流源トランジスタ 1 0 3 のドレイン側に供給されることになる。このようにして電流ドライバ 1 0 1 に供給される電流は、コモンモード電圧 V_{cm} が高くなるにしたがって大きくなると共に、 α 、 β 、 V_t 及び V_{ref1} により任意に設定することができる。また、適切なミラー比 α 、定数 β を決定すれば、コモンモード電位 V_{cm} の変動により $(V_{gs} - V_t)$ の値が変化した場合であっても、その際に変化した電流量の α 倍の電流を適切なタイミングで電流ドライバ 1 0 1 に供給することができるので、電流ドライバ 1 0 1 の出力電流を適量に補正することができる。したがって、以上のように、電源電位レベル V_{dd} が低い低電圧動作であっても、安定した差動信号を出力することができるため、コモンモード電位 V_{cm} がワイドレンジに変化しても高速差動伝送することができる電流ドライバ回路を実現することができる。

【 0 0 4 4 】

尚、第 1 の実施形態において、具体的に特定した電流補正回路 1 0 2 の構成は、コモンモード電位 V_{cm} の変動に応じて電流ドライバ 1 0 1 の出力電流が補正される構成であれば、他の構成であってもよい。

【 0 0 4 5 】

また、第 1 の実施形態において、第 1 の電流源 1 0 9 を流れる電流、第 2 の電流源 1 1 2 を流れる電流、及び第 2 の nMOS トランジスタ 1 1 1 のソースとゲ

ートとの間にかかる電圧 V_{gs2} を具体的に設定したが、製造する電流ドライバの特性に合わせて任意に設定することが好ましい。

【 0 0 4 6 】

(第 2 の実施形態)

以下、第 2 の実施形態に係る電流ドライバ回路について図面を参照しながら説明する。

【 0 0 4 7 】

図 2 は、第 2 の実施形態に係る電流ドライバ回路を構成する電流補正回路を示す構成図である。尚、本実施形態における電流ドライバ回路は、図 1 に示す第 1 の実施形態の電流ドライバ 1 0 1 と同様であるため図示を省略する。また、第 1 の実施形態の電流補正回路 1 0 2 と同一の回路素子等には同一の符号を付す。

【 0 0 4 8 】

図 2 に示すように、本実施形態に係る電流ドライバ回路の特徴は、図 1 に示す第 1 の実施形態の電流補正回路 1 0 2 における第 2 の nMOS トランジスタ 1 1 1 のゲートに入力される第 1 の参照電位 V_{ref1} を、第 1 の参照電位発生回路 1 1 3 により発生させるところにある。以下、具体的に説明する。

【 0 0 4 9 】

第 1 の参照電位発生回路 1 1 3 は、電源電位レベル V_{dd} とグランドレベル V_{ss} との間に直列に接続された複数の抵抗からなる。これらの複数の抵抗の各抵抗間における端子の一つは、第 2 の nMOS トランジスタ 1 1 1 のゲートに接続されている。このため、各抵抗間に発生する所定の端子電位が、第 2 の nMOS トランジスタ 1 1 1 のゲートに第 1 の参照電位 V_{ref1} として入力される。このように、第 1 の参照電位 V_{ref1} を、端子電位のいずれかによって決めることができるため、第 1 の参照電位 V_{ref1} を任意に設定することができる。したがって、適切な端子電位を選択すれば、pMOS 電流源トランジスタ 1 0 3 が非飽和領域に入ったと同時に電流補正回路 1 0 2 の動作が開始されるように設定することができる。

【 0 0 5 0 】

(第 2 の実施形態の変形例)

以下、第 2 の実施形態の変形例に係る電流ドライバ回路について図面を参照しながら説明する。

【0051】

図 3 は、第 2 の実施形態の変形例に係る電流ドライバ回路を構成する電流補正回路を示す構成図である。尚、本変形例に係る電流ドライバ回路は、図 1 に示す第 1 の実施形態の電流ドライバ 101 と同様であるため図示を省略する。また、図 3 に示す本変形例において、図 2 に示す第 2 の実施形態に係る電流ドライバ回路を構成する電流補正回路と同一の回路素子等には同一の符号を付す。

【0052】

図 3 に示すように、本変形例の特徴は、図 2 に示す第 2 の実施形態における第 1 の参照電位発生回路 113 に改良を加えた第 2 の参照電位発生回路 114 にある。以下、具体的に説明する。

【0053】

本変形例によると、第 2 の参照電位発生回路 114 は、電源電位レベル V_{dd} とグラウンドレベル V_{ss} との間に接続された複数の抵抗と、これらの抵抗と直列に接続された第 1 の pMOS トランジスタ 115 及び第 2 の pMOS トランジスタ 116 とから構成されている。このため、電源電位レベル V_{dd} 又はグラウンドレベル V_{ss} が変動した場合であっても、第 1 の pMOS トランジスタ 115 を流れる電流が安定であるため、抵抗に流れる電流が変化しにくくなる。これにより、第 1 の参照電位 V_{ref1} として入力される端子電位をより安定化させることができる。したがって、電流ドライバの出力電流をより正確に補正することができる。

【0054】

また、本変形例によると、第 2 の pMOS トランジスタ 116 が複数の抵抗と直列に接続されていると共に、第 2 の pMOS トランジスタ 116 のゲート電圧を任意に変化させることができる。このため、第 2 の pMOS トランジスタ 116 のゲートに入力される電位を制御することにより、第 2 の pMOS トランジスタ 116 の On/Off を制御することができる。このようにすると、例えば第 2 の pMOS トランジスタ 116 を On にした場合は、所定の第 1 の参照電位 V_{ref1} が発生するため、コモンモード電位 V_{cm} の変化に応じて電流ドライバ 101

の出力電流が補正される。一方、第2のpMOSトランジスタ116をOffにした場合は、各抵抗に電流が流れないため第1の参照電位 V_{ref1} が電源電位レベル V_{dd} に近い値になる。言い換えると、コモンモード電位 V_{cm} が変化しても電流補正回路102が動作しなくなる。すなわち、第2のpMOSトランジスタ116は、電流ドライバ101と電流補正回路102とを切り離すための切り替えスイッチとして機能する。したがって、コモンモード電位を変化させることにより通信を行なう伝送方法を本変形例の電流ドライバ回路100において実施する場合であっても、電流補正回路102を電流ドライバ101から切り離すことができるため、電流補正回路102が障害になることなく前記伝送方法を行なうことができる。

【0055】

尚、第2の実施形態の変形例において、第1のpMOSトランジスタ115及び第2のpMOSトランジスタ116は、電源電位レベル V_{dd} とグランドレベル V_{ss} との間に接続された複数の抵抗の端子のいずれに介していてもよい。

【0056】

また、第2の実施形態の変形例において、第2の参照電位発生回路114を構成する第2のpMOSトランジスタ116が電流ドライバ101と電流補正回路102とを切り離す切り替えスイッチとなっていたが、他の素子等を設けてその素子等を切り替えスイッチとしてもよい。

【0057】

(第3の実施形態)

以下、第3の実施形態に係る電流ドライバ回路について図面を参照しながら説明する。

【0058】

図4は、第3の実施形態に係る電流ドライバ回路を示す構成図である。尚、図4に示す第3の実施形態に係る電流ドライバ回路において、図1に示す第1の実施形態に係る電流ドライバ回路と同一の回路素子等には同一の符号を付す。また、これ以降の本明細書において、スイッチ回路105は第1のスイッチ回路105と称する。

【 0 0 5 9 】

図 4 に示すように、第 3 の実施形態に係る電流ドライバ回路 1 0 0 の特徴は、第 1 の実施形態に係る電流ドライバ回路 1 0 0 の電流ドライバ 1 0 1 を構成する第 1 のスイッチ回路 1 0 5 に並列に設けられた第 2 のスイッチ回路 1 1 7 及び第 3 のスイッチ回路 1 1 8 と、それに伴い電流補正回路 1 0 2 に設けられた第 1 の論理回路 1 1 9 a 及び第 2 の論理回路 1 1 9 b とにある。

【 0 0 6 0 】

電流ドライバ 1 0 1 には、第 1 のスイッチ回路 1 0 5 に加えてそれぞれ 4 つのスイッチ素子からなる第 2 のスイッチ回路 1 1 7 と第 3 のスイッチ回路 1 1 8 とが設けられている。第 2 のスイッチ回路 1 1 7 は、第 1 のスイッチ素子 1 0 5 a に並列な pMOS トランジスタからなる第 5 のスイッチ素子 1 1 7 a と、第 2 のスイッチ素子 1 0 5 b に並列な pMOS トランジスタからなる第 6 のスイッチ素子 1 1 7 b と、第 3 のスイッチ素子 1 0 5 c に並列な nMOS トランジスタからなる第 7 のスイッチ素子 1 1 7 c と、第 4 のスイッチ素子 1 0 5 d に並列な nMOS トランジスタからなる第 8 のスイッチ素子 1 1 7 d とから構成される。第 3 のスイッチ回路 1 1 8 の説明は、第 2 のスイッチ回路 1 1 7 を説明する要領と同様であるので省略する。

【 0 0 6 1 】

一方、電流補正回路 1 0 2 には、電流ドライバ 1 0 1 の第 2 のスイッチ回路 1 1 7 を構成する 4 つのスイッチ素子の動作を制御する第 1 の論理回路 1 1 9 a と、第 3 のスイッチ回路 1 1 8 を構成する 4 つスイッチ素子の動作を制御する第 2 の論理回路 1 1 9 b とが設けられている。具体的に、第 1 の論理回路 1 1 9 a は、第 2 のコンパレータ 1 2 0 と、第 1 の NOT 回路 1 2 1 と、第 2 の NOT 回路 1 2 2 と、第 1 の NAND 回路 1 2 3 と、第 2 の NAND 回路 1 2 4 と、第 1 の NOR 回路 1 2 5 と、第 2 の NOR 回路 1 2 6 とから構成される。第 2 のコンパレータ 1 2 0 には、第 1 の nMOS トランジスタ 1 1 0 のドレイン側の電位と第 2 の参照電位 V_{ref2} とが入力される。第 1 の NOT 回路 1 2 1 には、第 2 のコンパレータ 1 2 0 の出力信号が入力される。第 2 の NOT 回路 1 2 2 には、第 1 の NOT 回路の出力信号が入力される。第 1 の NAND 回路 1 2 3 には、第 1 の N

OT回路121の出力信号と第2のスイッチ素子105bのゲートに入力される信号とが入力される。第2のNAND回路124には、第1のNOT回路121の出力信号と第1のスイッチ素子105aのゲートに入力される信号とが入力される。第1のNOR回路125には、第2のNOT回路122の出力信号と第4のスイッチ素子105dのゲートに入力される信号とが入力される。第2のNOR回路126には、第2のNOT回路122の出力信号と第3のスイッチ素子105cのゲートに入力される信号とが入力される。これにより、第2のスイッチ回路117の動作が第1の論理回路119aにより制御される。また、説明は省略するが、図4に示すように、第3のスイッチ回路118の動作もまた第1の論理回路119aと同様に構成された第2の論理回路119bにより制御される。尚、図4に示す電流ドライバ101におけるNet Xy (Xは任意の数字を、yは任意のアルファベットを表す) と、電流補正回路102におけるNet Xyとは、等電位であること、言い換えれば同じ信号が各素子に入力されることを意味する。

【0062】

第3の実施形態によると、第1の実施形態に係る電流ドライバ回路により得られる効果に加えて以下のような効果が得られる。

【0063】

本実施形態によると、コモンモード電位 V_{cm} が所定値より高くなることにより、電流補正回路102の第1の論理回路119aが動作を開始するように設定されている。これにより、電流ドライバ101の第2のスイッチ回路117が活性化される。すなわち、第5のスイッチ素子117aは第1のスイッチ素子105aと、第6のスイッチ素子117bは第2のスイッチ素子105bと、第7のスイッチ素子117cは第3のスイッチ素子105cと、第8のスイッチ素子117dは第4のスイッチ素子105dと、それぞれ同じOn/Off状態になる。このため、コモンモード電位 V_{cm} が電源電位レベル V_{dd} の方向に変動することにより、コモンモード電位 V_{cm} が所定値より高くなった場合は、言い換えると、pMOS電流源トランジスタ103の両端にかかる電圧 V_{ds} がソースとゲートにかかる電圧からしきい値電圧を差し引いた値よりも大きくなならない場合は、第2の

スイッチ回路117が活性化されるので、活性化されたスイッチ素子の合計トランジスタサイズを大きくすることができる。これにより、pMOS電流源トランジスタ103の両端にかかる電圧が高くなるので、pMOS電流源トランジスタ103が非飽和領域に入った際に不足する電流を補うことができる。また、第1の論理回路119aにより活性化された第2のスイッチ回路117だけではpMOS電流源トランジスタ103を飽和領域に到達させることができない場合は、更に第2の論理回路119bが動作を開始するように設定されている。これにより、第3のスイッチ回路118が第2のスイッチ回路117に続いて活性化される。このため、第2のスイッチ回路117を活性化させることにより得られた効果を更に得ることができる。したがって、電源電位レベル V_{dd} が低い低電圧動作であっても、安定した差動信号を出力することができるため、コモンモード電位がワイドレンジに変化しても高速差動伝送することができる電流ドライバ回路を実現することができる。

【0064】

また、本実施形態によると、pMOS電流源トランジスタ103の両端にかかる電圧 V_{ds} が、ソースとゲートにかかる電圧からしきい値電圧を差し引いた値よりも十分大きい場合は、第1のスイッチ回路105と第2のスイッチ回路117と第3のスイッチ回路118とを構成するスイッチ素子のうちで活性化されたスイッチ素子の数が少なくなる。すなわち、活性化されたスイッチ素子を構成するMOSトランジスタの合計トランジスタサイズが小さくなる。このため、スイッチングノイズを低減させることができる。

【0065】

尚、本実施形態において、並列に設けられたスイッチ回路を3段階で、すなわち第1のスイッチ回路105と第2のスイッチ回路117と第3のスイッチ回路118とから構成したが、2段階又は4段階以上で構成してもよい。

【0066】

また、本実施形態において、活性化されるスイッチ素子の合計トランジスタサイズを、コモンモード電位 V_{cm} と電源電位レベル V_{dd} との差に対して非線形に変化させることが好ましい。このようにすると、電流ドライバ101に設けるスイ

ッチ回路の数を減らすことができる。なぜならば、pMOS電流源トランジスタ103が非飽和領域に入った場合、pMOS電流源トランジスタ103に流れる電流が、コモンモード電位 V_{cm} と電源電位レベル V_{dd} との差に対して非線形に変化するためである。したがって、活性化されるスイッチ素子の合計トランジスタサイズも同様に非線形に変化させれば出力電流を的確に補正することができる。これにより、過剰にスイッチのサイズを大きくすることを設けることを避けることができる

また、本実施形態において、具体的に特定した第1の論理回路119a及び第2の論理回路119bの構成は、前述の効果が得られるような構成であれば、他の構成であってもよい。

【0067】

(第3の実施形態の変形例)

以下、第3の実施形態の変形例に係る電流ドライバ回路について図面を参照しながら説明する。

【0068】

図5は、第3の実施形態の変形例に係る電流ドライバ回路を構成する電流ドライバを示す構成図である。尚、本変形例の電流補正回路は、図4に示す第3の実施形態の電流補正回路102と同様であるため図示を省略する。また、図5に示す本変形例において、第3の実施形態の電流ドライバと同一の回路素子等には同一の符号を付す。

【0069】

図5に示すように、第3の実施形態の変形例に係る電流ドライバ回路の特徴は、第3の実施形態の電流ドライバ101を構成する第3のスイッチ回路118に改良を加えている点にある。具体的には、スイッチ回路の中で最後に活性化されるスイッチ回路を、すなわち第3のスイッチ回路118を構成する第9のスイッチ素子118aと第11のスイッチ素子118cとの間、及び第10のスイッチ素子118bと第12のスイッチ素子118dとの間に、第2の終端抵抗 R_2 をそれぞれ2つ直列に接続している。このため、第3の実施形態により得られる効果に加えて以下のような効果が得られる

本変形例によると、第3のスイッチ回路118が活性化されることにより、電流ドライバ回路100が搭載されたLSIの外部の第1の終端抵抗 R_1 と第2の終端抵抗 R_2 とが並列になる。その結果、全体的な終端抵抗値を下げるができるので、第2の終端抵抗 R_2 を接続していなかった場合に比べてより容易にpMOS電流源トランジスタ103を飽和領域に到達させることができる。

【0070】

尚、第3の実施形態の変形例において、第2の終端抵抗 R_2 は第3のスイッチ回路118に備えられていたが、第2のスイッチ回路117に、又は第1のスイッチ回路105にのみ備えられていてもよい。

【0071】

(第4の実施形態)

以下、第4の実施形態に係る電流ドライバ回路について図面を参照しながら説明する。

【0072】

図6は、第4の実施形態に係る電流ドライバ回路を構成する電流ドライバを示す構成図である。尚、本実施形態の電流補正回路は、図4に示す第3の実施形態の電流補正回路102と同様であるため図示を省略する。また、図6に示す第4の実施形態の電流ドライバにおいて、図4に示す第3の実施形態の電流ドライバと同一の回路素子には同一の符号を付す。

【0073】

図6に示すように、第4の実施形態に係る電流ドライバ回路の特徴は、図4に示す第3の実施形態の電流ドライバ101を構成するスイッチ回路を改良している点にある。具体的には、本変形例のスイッチ回路の特徴は、第1のスイッチ回路105、第2のスイッチ回路117及び第3のスイッチ回路118を構成する各スイッチ素子のゲートを、それぞれ第3の終端抵抗 R_3 を介してグランドレベル V_{ss} に接続しているところにある。これにより、第3の実施形態により得られる効果に加えて以下のような効果が得られる。

【0074】

本実施形態によると、各スイッチ素子のゲートが第3の終端抵抗 R_3 を介して

グラウンドレベルに接続されているため、スイッチ素子はその大きさによりノイズの発生源になる可能性を低く抑えることができる。また、スイッチ素子のゲートに信号を入力するために接続された配線が長くなる場合には、周波数と位相との関係から信号が反射する弊害が生じるため、第3の終端抵抗 R_3 を介してグラウンドレベルに接続することによりその弊害を低減させることができる。

【0075】

尚、第4の実施形態において、第3の終端抵抗 R_3 をすべてのスイッチ素子に接続したが、すべてのスイッチ素子に接続しなくてもよい。

【0076】

(第4の実施形態の変形例)

以下、第4の実施形態の変形例に係る電流ドライバ回路について図面を参照しながら説明する。

【0077】

図7は、第4の実施形態の変形例に係る電流ドライバ回路を構成する電流ドライバを示す構成図、特に第1のスイッチ回路105を構成する第1のスイッチ素子105aを例に示す構成図である。尚、図7に示す第4の実施形態の電流ドライバにおいて、図6に示す第4の実施形態の電流ドライバと同一の回路素子等には同一の符号を付す。

【0078】

図7に示すように、第4の実施形態の変形例に係る電流ドライバ回路の特徴は、図6に示す第4の実施形態の電流ドライバ101における第1のスイッチ回路105を構成する第1のスイッチ素子105aにある。

【0079】

本変形例によると、第1のスイッチ回路105を構成する第1のスイッチ素子105aのゲートとドレインとが第4の終端抵抗 R_4 を介して接続されている。ただし、この第4の終端抵抗 R_4 は、仮想的な終端抵抗を意味している。すなわち、第1のスイッチ素子105aのゲートから流れるリーク電流のリークパスを利用して第4の終端抵抗 R_4 が仮想的に接続されていることを意味している。したがって、図6に示す第4の実施形態の電流ドライバ101のような第3の終端

抵抗 R_3 を接続する代わりに、スイッチ素子となるMOSトランジスタのゲートにリーク電流が流れるようにMOSトランジスタを微細化すれば、図7に示すような仮想的な第4の終端抵抗 R_4 を作り出すことができる。これにより、第4の実施形態により得られる効果が確実に得られる。

【0080】

尚、第4の実施形態の変形例において、第1のスイッチ回路105を構成する第1のスイッチ素子105aを例にして説明したが、他のスイッチ素子も同様に微細化されていてもよい。

【0081】

【発明の効果】

本発明の第1の電流ドライバ回路によると、電源電位レベルに接続された電流源トランジスタの出力側に電流補正回路が結合されていると共に、電流補正回路は伝送線路対のコモンモード電位の変化に応じて電流ドライバの出力電流を補正するように設定されている。このため、コモンモード電位が高いために電流源トランジスタが非飽和領域に入った場合であっても、言い換えると、電流ドライバの出力電流が減少した場合であっても、電流補正回路から電流ドライバに電流を供給することができるため、出力電流を適量に補正することができる。したがって、電源電位レベルが低い低電圧動作であっても安定した差動信号を出力することができるので、コモンモード電位がワイドレンジに変化しても高速差動伝送することができる電流ドライバ回路を実現することができる。

【0082】

本発明の第2の電流ドライバ回路によると、電流ドライバに複数のスイッチ回路が並列に設けられていると共に、コモンモード電位の変化に応じて複数のスイッチ回路の動作を段階的に制御する電流補正回路が備えられている。このため、電流ドライバに設けられ且つ伝送線路対を駆動するための電流を供給する電流源トランジスタにかかる電圧が、コモンモード電位の変化に応じて低くなる場合であっても、並列に接続された複数のスイッチ回路の動作が電流補正回路により段階的に制御されるため、電流ドライバの出力電流を適量に補正することができる。言い換えると、複数のスイッチ回路が段階的に活性化されていくと、活性化さ

れたスイッチ回路を構成するスイッチ素子の合計トランジスタサイズをもまた段階的に大きくなるため、電流源トランジスタが非飽和領域に入った際に不足する電流を補うことができる。これにより、電流ドライバの出力電流を補正することができる。したがって、電源電位レベルが低い低電圧動作であっても、安定した差動信号を出力することができるため、コモンモード電位がワイドレンジに変化しても高速差動伝送することのできる電流ドライバ回路を実現することができる。また、電流源トランジスタにかかる電圧が十分大きい場合は、活性化されるスイッチ回路を少なくすることができるため、活性化されたスイッチ回路を構成するスイッチ素子の合計トランジスタサイズを小さくすることができる。その結果、スイッチングノイズを低減させることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る電流ドライバ回路を示す構成図である。

【図 2】

本発明の第 2 の実施形態に係る電流ドライバ回路を構成する電流補正回路を示す構成図である。

【図 3】

本発明の第 2 の実施形態の変形例に係る電流ドライバ回路を構成する電流補正回路を示す構成図である。

【図 4】

本発明の第 3 の実施形態に係る電流ドライバ回路を示す構成図である。

【図 5】

本発明の第 3 の実施形態の変形例に係る電流ドライバ回路を構成する電流ドライバを示す構成図である。

【図 6】

本発明の第 4 の実施形態に係る電流ドライバ回路を構成する電流ドライバを示す構成図である。

【図 7】

本発明の第 4 の実施形態に係る電流ドライバ回路を構成する電流ドライバにお

ける一つのスイッチ素子を例に示す構成図である。

【図 8】

従来の電流ドライバ回路を示す構成図である。

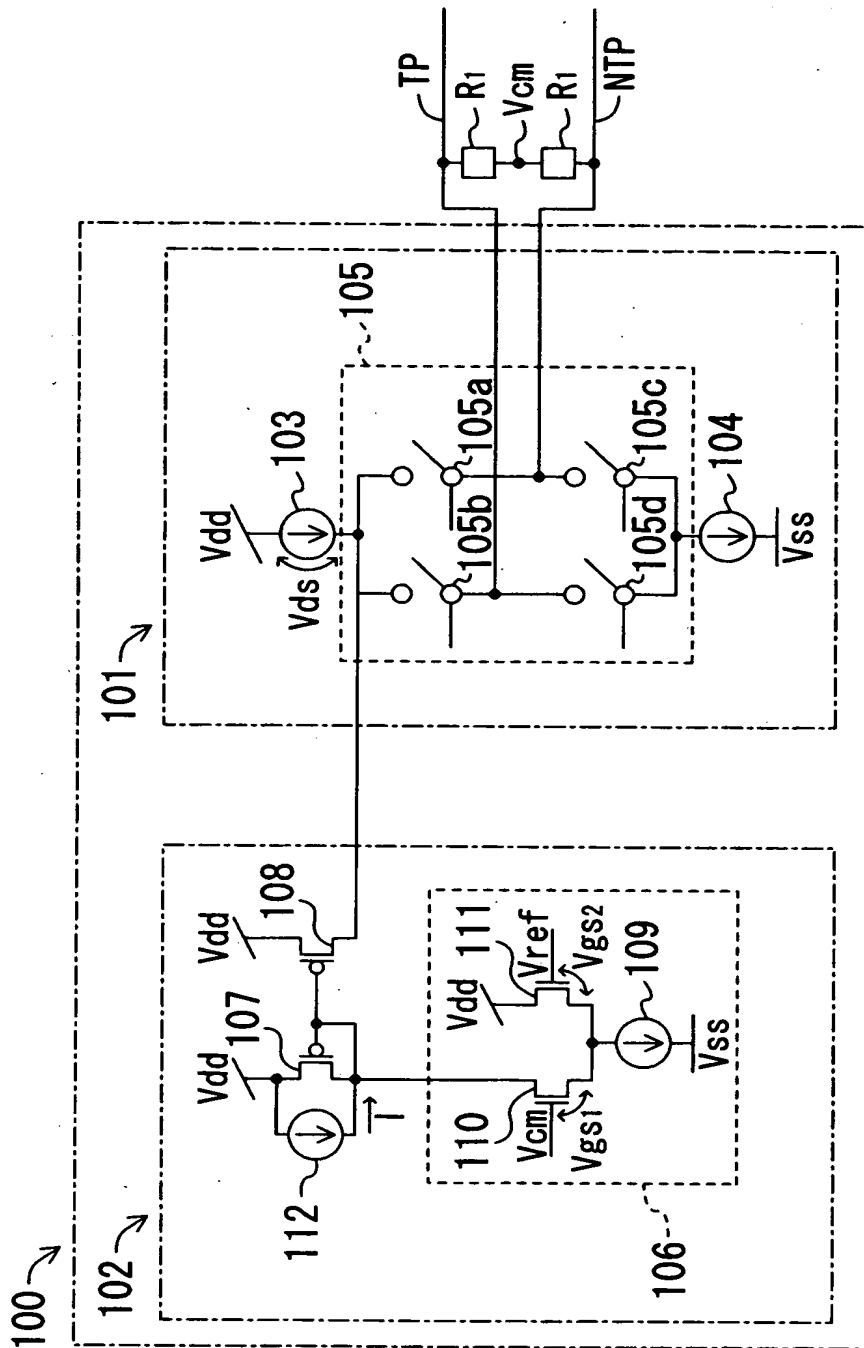
【符号の説明】

1 0 0	電流ドライバ回路
1 0 1	電流ドライバ
1 0 2	電流補正回路
1 0 3	p M O S 電流源トランジスタ
1 0 4	n M O S 電流源トランジスタ
1 0 5	スイッチ回路（第 1 のスイッチ回路）
1 0 5 a	第 1 のスイッチ素子
1 0 5 b	第 2 のスイッチ素子
1 0 5 c	第 3 のスイッチ素子
1 0 5 d	第 4 のスイッチ素子
1 0 6	第 1 のコンパレータ
1 0 7	負荷トランジスタ
1 0 8	ミラートランジスタ
1 0 9	第 1 の電流源
1 1 0	第 1 の n M O S トランジスタ
1 1 1	第 2 の n M O S トランジスタ
1 1 2	第 2 の電流源
1 1 3	第 1 の参照電位発生回路
1 1 4	第 2 の参照電位発生回路
1 1 5	第 1 の p M O S トランジスタ
1 1 6	第 2 の p M O S トランジスタ
1 1 7	第 2 のスイッチ回路
1 1 7 a	第 5 のスイッチ素子
1 1 7 b	第 6 のスイッチ素子
1 1 7 c	第 7 のスイッチ素子

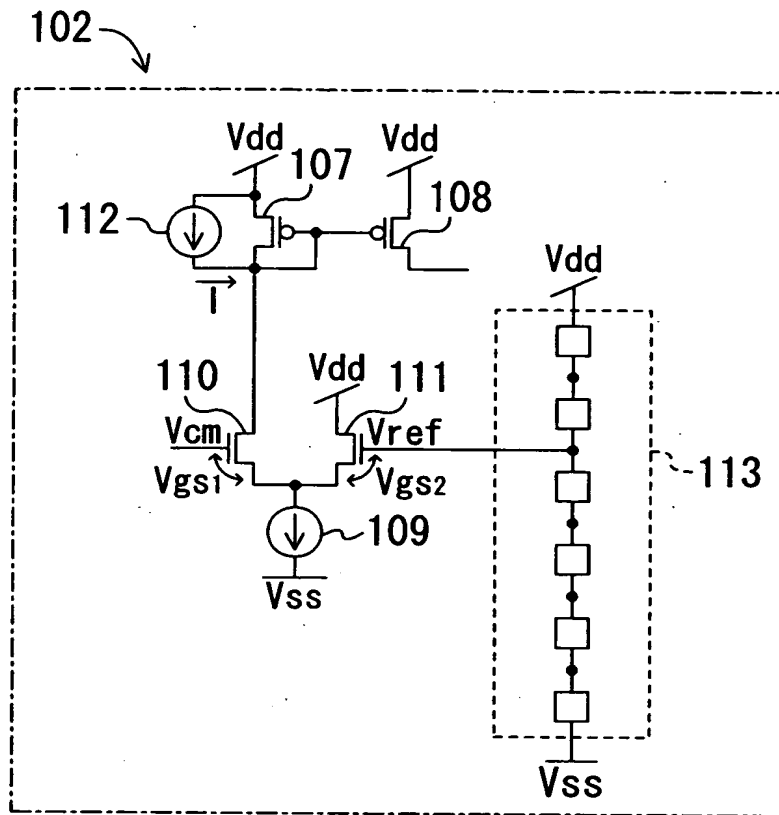
1 1 7 d	第 8 のスイッチ素子
1 1 8	第 3 のスイッチ回路
1 1 8 a	第 9 のスイッチ素子
1 1 8 b	第 1 0 のスイッチ素子
1 1 8 c	第 1 1 のスイッチ素子
1 1 8 d	第 1 2 のスイッチ素子
1 1 9 a	第 1 の論理回路
1 1 9 b	第 2 の論理回路
1 2 0	第 2 のコンパレータ
1 2 1	第 1 のNOT回路
1 2 2	第 2 のNOT回路
1 2 3	第 1 のNAND回路
1 2 4	第 2 のNAND回路
1 2 5	第 1 のNOR回路
1 2 6	第 2 のNOR回路
V_{dd}	電源電位レベル
V_{ss}	グランドレベル
V_{cm}	コモンモード電位
R_1	第 1 の終端抵抗
R_2	第 2 の終端抵抗
R_3	第 3 の終端抵抗
R_4	第 4 の終端抵抗
V_{ds}	pMOS 電流源トランジスタの両端にかかる電圧
V_{gs1}	第 1 の nMOS トランジスタのソースゲート間にかかる電圧
V_{gs2}	第 2 の nMOS トランジスタのソースゲート間にかかる電圧
I	第 2 の電流源に流れる電流
V_{ref1}	第 1 の参照電位
V_{ref2}	第 2 の参照電位
V_{ref3}	第 3 の参照電位

【書類名】 図面

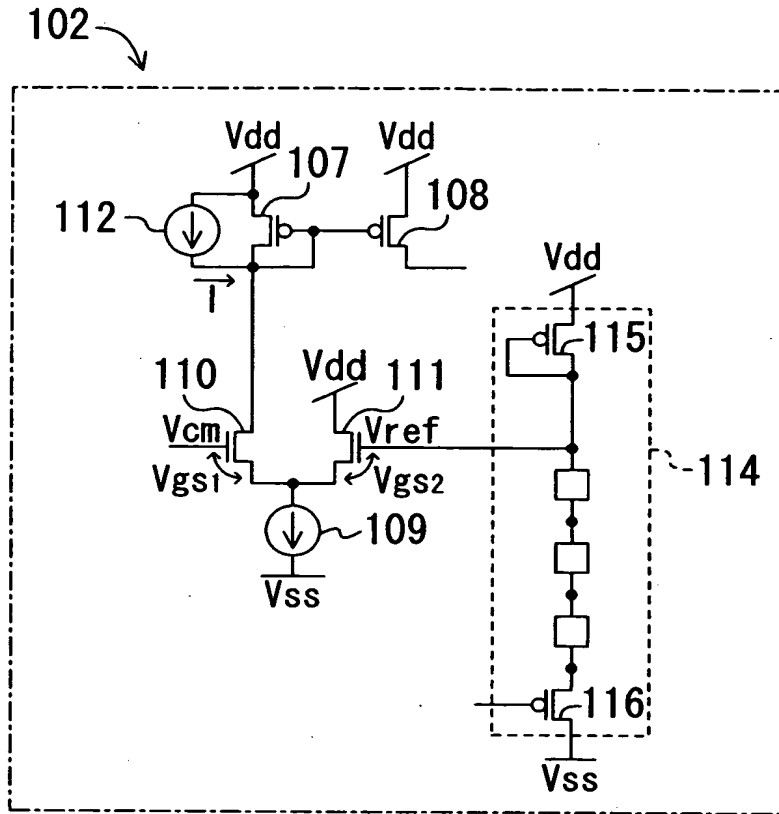
【図 1】



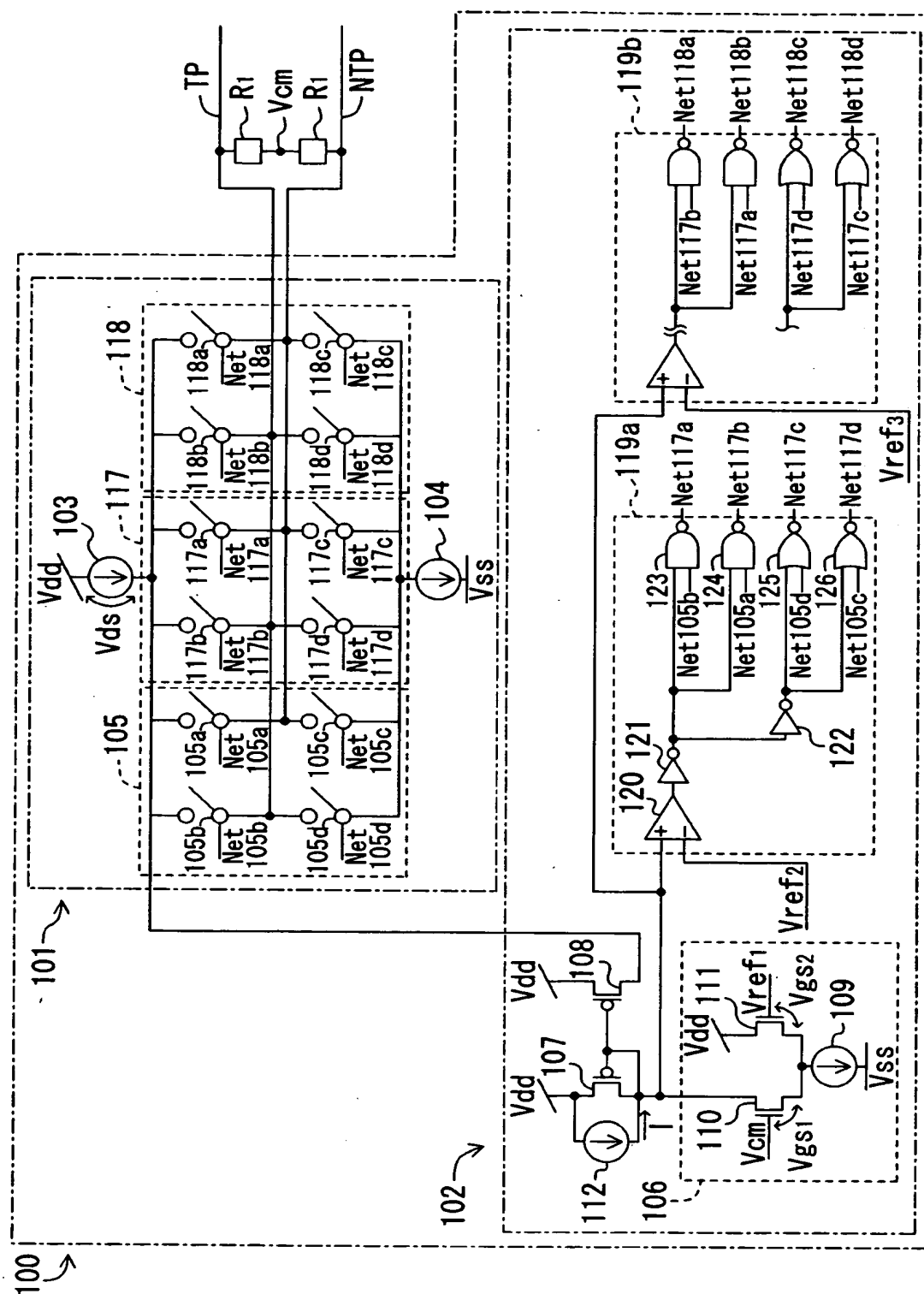
【図 2】



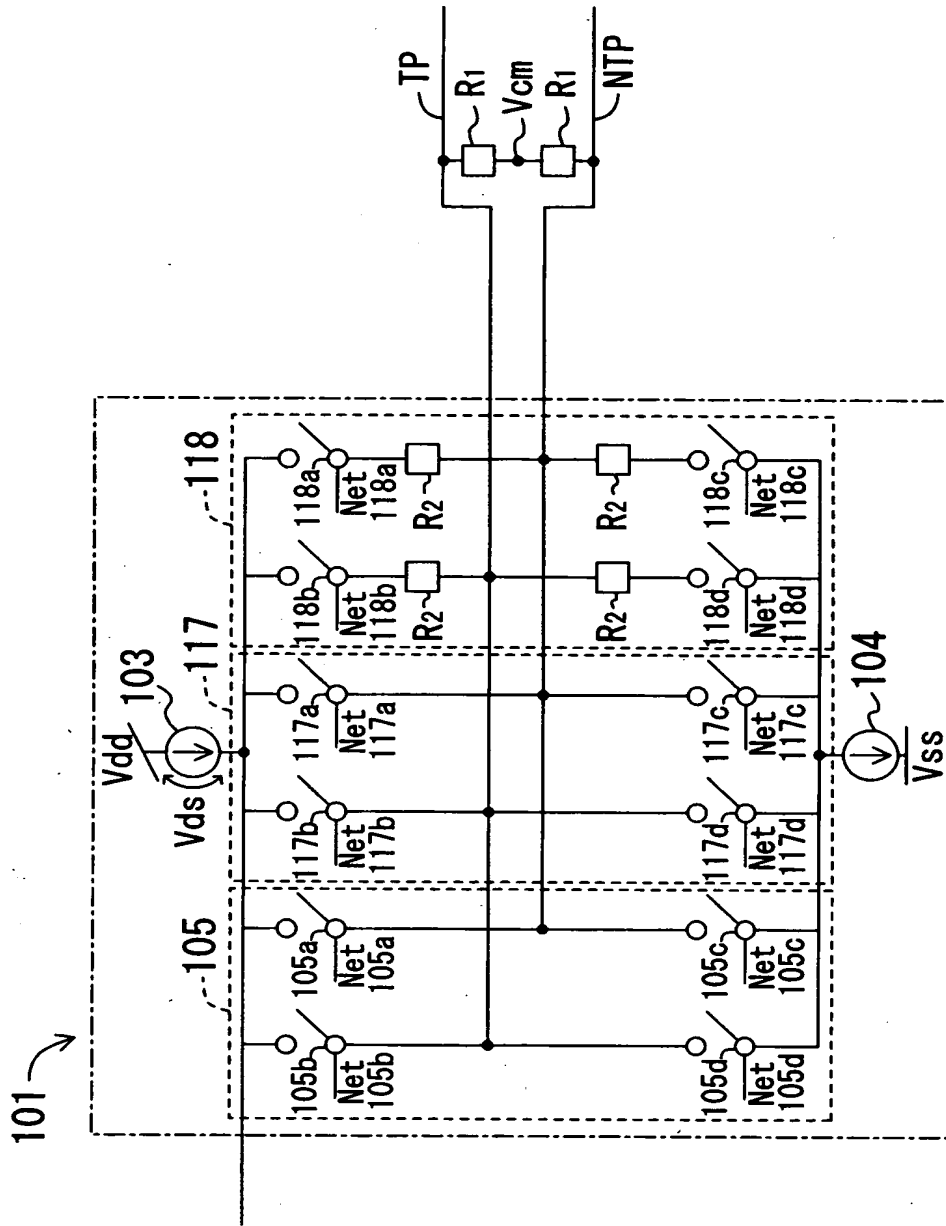
【図 3】



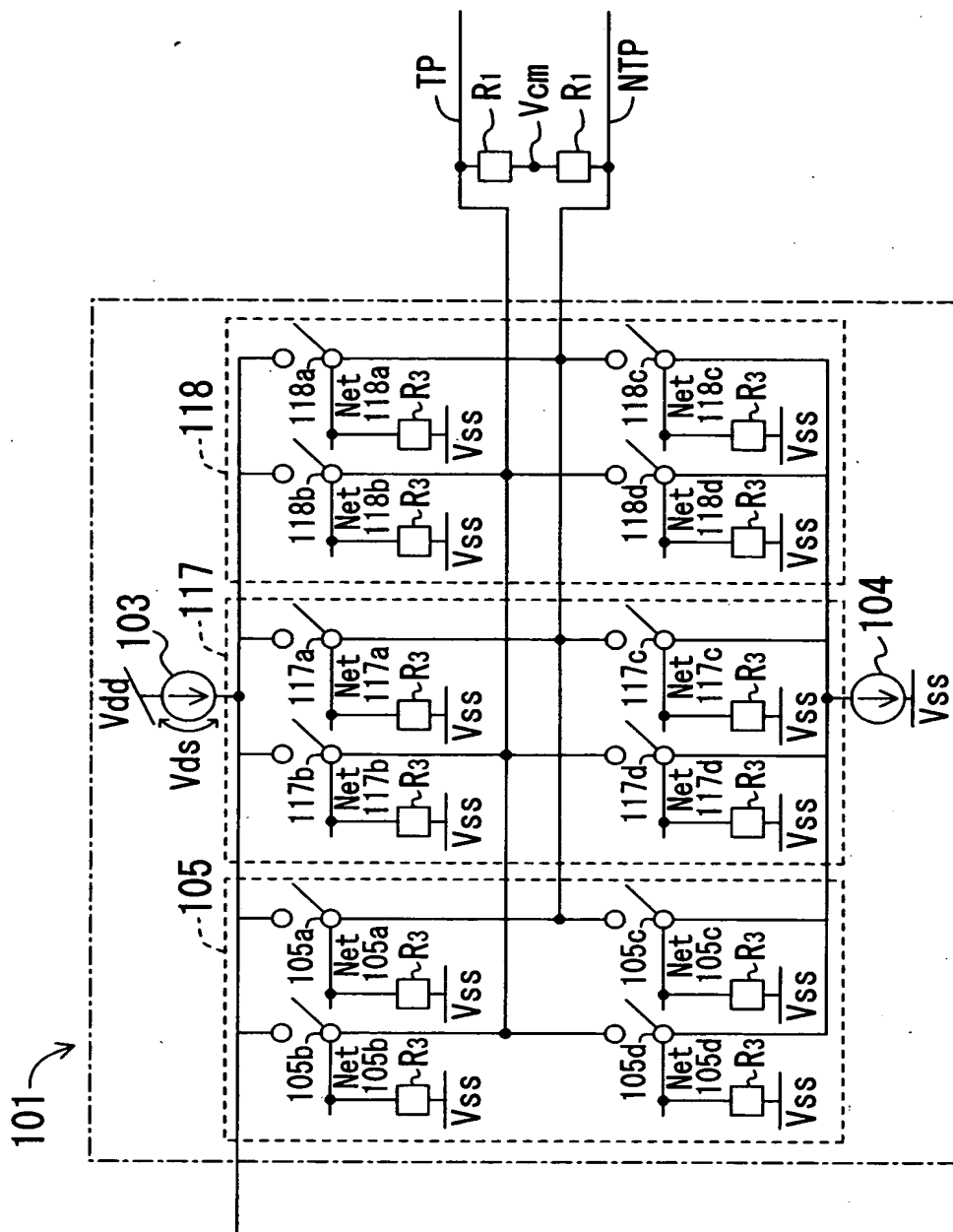
【図 4】



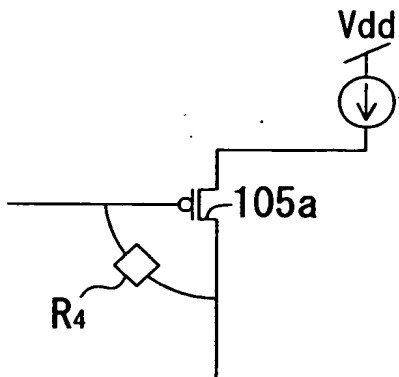
【図 5】



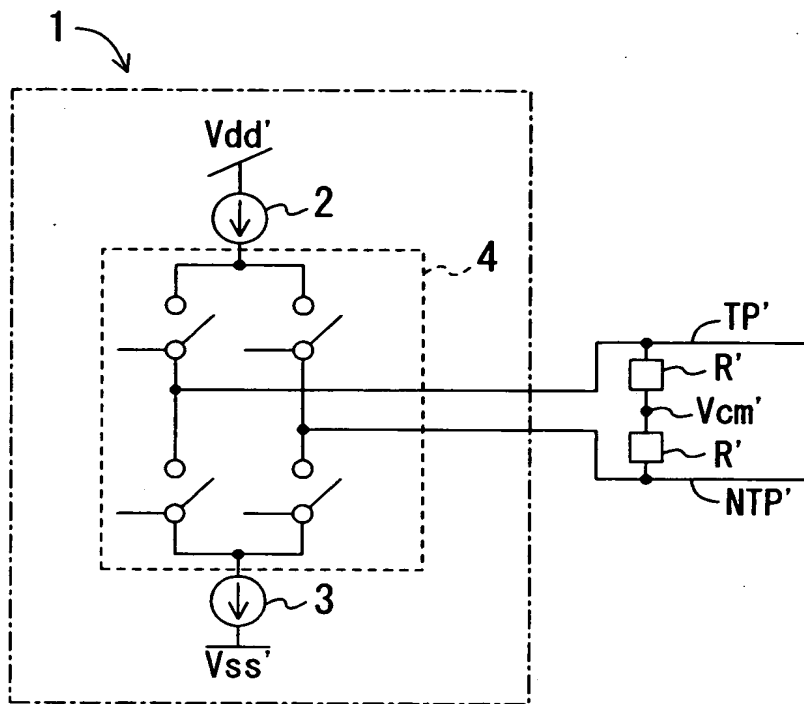
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 差動伝送する電流ドライバにおいて、コモンモード電位が幅広い範囲の電位（ワイドレンジ）に変化しても高速差動伝送できるようにすること。

【解決手段】 伝送線路対TP/NTPのコモンモード電位 V_{cm} に応じて電流ドライバ101の出力電流を補正する電流補正回路102を、電流ドライバ101のpMOS電流源トランジスタ103とスイッチ回路105との間に結合させる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社